

АППАРАТНО-ПРОГРАММНЫЙ КОМПЛЕКС ПРОТОТИПИРОВАНИЯ ПОЛУЗАКАЗНЫХ БИС

Т. И. Латыпов, В. Л. Ведерников, З. Н. Биктимиров, С. М. Хлестков

ФГУП «РФЯЦ-ВНИИЭФ», г. Саров Нижегородской обл.

Жесткие требования, предъявляемые к массогабаритным характеристикам перспективной радиоэлектронной аппаратуры и одновременное увеличение, и усложнение ее функциональности приводит к необходимости замены традиционной компоновки центральных функциональных узлов, построенных на базе микроконтроллеров. Решением данной проблемы является глубокая системная интеграция посредством монокристаллических решений на базе систем на кристалле (SoC) (рис. 1).

В рамках единых проектных норм SoC имеют большую функциональность и производительность чем традиционные решения на базе микроконтроллеров (рис. 2).

SoC может быть построена на базе целого ряда решений (рис.3):

- ASSPs – Application Specific Standard Product;
- FPGA/PLD – Field Programmable Gate Array/Programmable Logic Device;
- ASICs –Application Specific Integrated Circuit;
- Structured ASIC (БМК).



Рис. 1. Реализация требований к массогабаритным характеристикам при одновременном расширении функционала перспективной радиоэлектронной аппаратуры

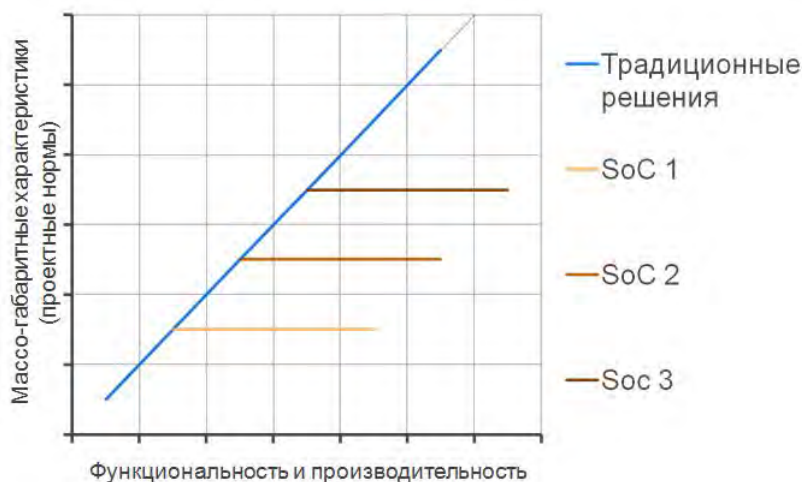


Рис. 2. Аппроксимация зависимости между массогабаритными характеристиками и функциональностью/производительностью аппаратуры, построенной на базе традиционных решений и SoC, для разных проектных норм

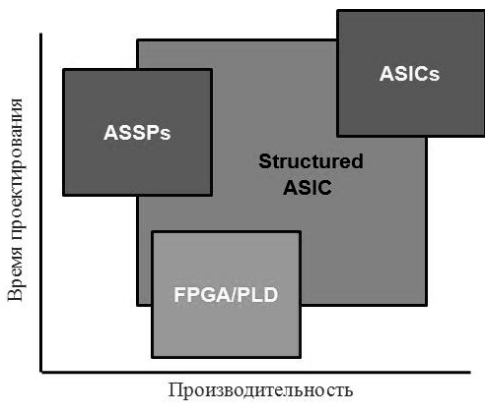


Рис. 3. System On A Chip в диапазоне возможных реализаций

Оценочная стоимость разработки законченного проекта SoC и приведенная стоимость на одну микросхему в различных партиях для ПЛИС (FPGA/PLD), традиционных ASIC (включая ASSP) и структурных ASIC(БМК) представлена на рис. 4.

Стоимость разработки ПЛИС, традиционных и структурных ASIC в долларах США (проектные нормы 130 нм)			
	ПЛИС	Структурные ASIC (БМК)	Традиционные ASIC
Общая стоимость разработки	~ 165K	~ 500K	~ 5,5M
Освоение производства	нет	100K-200K	1M-3M
Количество используемых САПР	2-3	2-3	6-10
Стоимость САПР	~ 30K	~ 120K-250K	> 300K
Количество разработчиков	1-2	2-3	5-7
Стоимость чипа для партий 1K/5K/500K	~ 1000/220/40	~ 650 /150/21	~ 55000/1100/15

Рис. 4. Стоимость разработки ПЛИС, традиционных и структурных ASIC в долларах США (проектные нормы 130 нм)

Учитывая нестабильность международной конъюнктуры и реальное положение дел в отечественной радиоэлектронной промышленности, в контексте специфики требований, предъявляемых к перспективной радиоэлектронной аппаратуре, выпуск которой, как правило, ограничен сравнительно небольшими партиями (сериями), использование заказных интегральных

схем большой и сверхбольшой степени интеграции является экономически нецелесообразным.

В данном случае выходом может стать создание отраслевой специализированной электронной компонентной базы на базе полужаказных больших интегральных схем (БИС) на основе базовых матричных кристаллов (БМК), то есть стандартных заготовок, производимых по стандартной технологии массового производства БИС.

Для обеспечения непрерывного цикла проектирования перспективной радиоэлектронной аппаратуры с использованием функциональных узлов на основе БМК было предложено воспользоваться опытом таких флагманов радиоэлектронной промышленности, как корпорации Xilinx и Altera, которые в целях снижения потерь при позднем выявлении ошибок проектирования создают свои семейства ASIC на базе прототипов FPGA проектов. Данная методология проектирования устойчива к позднему обнаружению ошибок и позволяет снизить стоимость проектов ASIC на 25-80 % одновременно сократив сроки проектирования.

В рамках предложенной методологии проектирования ПЛИС-БМК, на начальном этапе проектирования системы, для сокращения сроков ведения разработки, осуществляется предварительное прототипирование проектов БМК на базе программируемых логических интегральных схем (ПЛИС).

Основной целью процедуры прототипирования на базе ПЛИС является проверка и отладка разрабатываемых алгоритмов функционирования БМК, так как применение ПЛИС позволяет выполнять любую необходимую коррекцию проекта специализированной БИС непосредственно в аппаратуре. Таким образом, прежде чем проектировать функциональный узел на базе БМК, необходимо разработать его проект на базе ПЛИС и проверить его работоспособность в составе системы (рис. 5).

Авторами доклада были разработаны проектные процедуры, обеспечивающие непрерывность цикла разработки в рамках методологии проектирования ПЛИС-БМК (рис. 6).

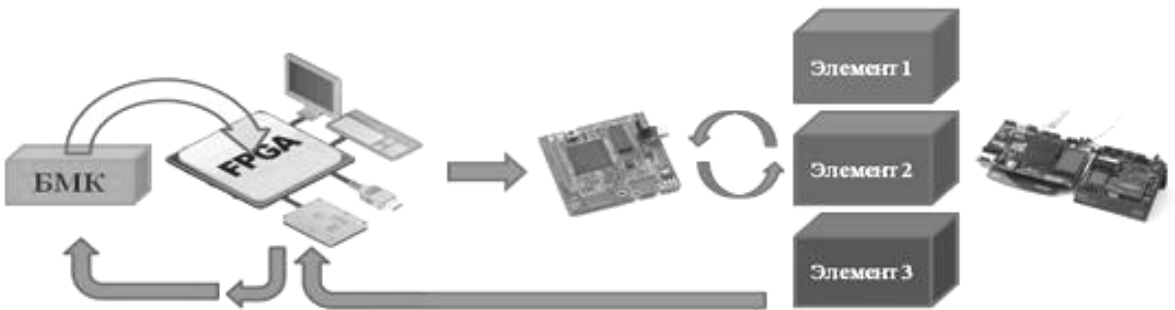


Рис. 5. Проектный цикл реализации методологии разработки радиоэлектронной аппаратуры с применением технологии замещения ПЛИС на БМК



Рис. 6. Типовая последовательность проектных процедур обеспечения непрерывности цикла разработки ПЛИС–БМК



Рис. 7. Выбор ПЛИС для прототипирования

Первоочередной задачей при проектировании устройств на базе БМК с использованием методологии проектирования ПЛИС-БМК является выбор типа ПЛИС для прототипирования.

Выбор типа ПЛИС в рамках данной методологии сводится к выбору между двумя основными семействами ПЛИС, достоинства и недостатки которых представлены на рис. 7.

На рынке ПЛИС представлено множество микросхем от различных производителей. Ввиду наличия большого количества программно-аппаратных средств проектирования и отладки логично воспользоваться продукцией ведущих производителей и поставщиков ПЛИС, на российском рынке – это фирмы Altera и Xilinx.

Методология проектирования ПЛИС–БМК подразумевает использование ПЛИС для прототипирования будущей системы на базе БМК, поэтому на этапе разработки схемы электрической принципиальной следует провести предварительную оценку сложности проекта:

- в логических вентилях для комбинационно-насыщенных проектов;

- по количеству используемых триггеров для регистрово-насыщенных проектов;

- по количеству внешних выводов проекта.

Задача определения соответствия логической емкости ПЛИС и логической емкости БМК является частной задачей в каждом конкретном случае, так как ее решение зависит от тех схемотехнических решений, которые предполагается реализовать на базе БМК. Качественный уровень технических решений, в свою очередь, зависит от квалификации разработчиков, применяющих те или иные технические решения. Следовательно, определение фиксированного коэффициента соответствия логической емкости ПЛИС логической емкости БМК не представляется возможным. Необходимую и достаточную логическую емкость ПЛИС для прототипирования можно определить в соответствии с инструкцией по проектированию микросхем на основе конкретной БМК.

По результатам предварительной оценки сложности проекта необходимо:

- выбрать ПЛИС для прототипирования;

- выбрать для реализации проекта БМК, подходящий по количеству вентилях и количеству выводов корпуса (рис. 8).

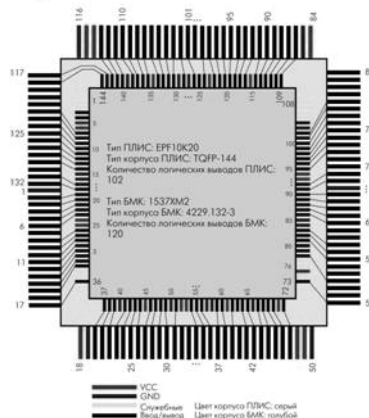


Рис. 8. Выбор базового элемента технологии (ПЛИС) и БМК для реализации проекта

Для решения задачи обеспечения трассируемости проводников на печатной плате и, как следствие, минимизации затрат на изменение печатной платы прототипа необходимо по типу выбранной ПЛИС уточнить корпус ПЛИС (в соответствии с логической моделью), а затем методом совмещения (наложения) определить соответствующий корпус БМК. Пример совмещения корпусов ПЛИС и БМК приведен на рис. 9.

ные проводники, не используемые в окончательном исполнении разрабатываемого устройства, которые при определенных условиях могут послужить источниками шумов или помех. Поэтому, на этапе конструирования печатной платы следует предусмотреть возможность подключения оставшихся неиспользуемыми печатных проводников к общей шине либо разработать два варианта исполнения печатной платы (для прототипирования и конечного устройства).

В целях обеспечения возможности технической реализации методологии проектирования ПЛИС-БМК авторами доклада был разработан аппаратно-программный комплекс прототипирования ползуказных БИС.

Оценка возможности создания информационно-логистической компоненты данного комплекса базировалась на оценке возможностей систем автоматизированного проектирования (САПР), входящих в состав типовой информационной системы (ТИС) предприятия.

Целевая функция аппаратно-программного комплекса – разработка, моделирование и отработка прототипов БИС.

Целевая функция аппаратно-программного комплекса достигается посредством использования прикладного программного обеспечения (ППО), от выбора которого зависит выбор вспомогательного программного обеспечения (ВПО), операционной системы (ОС), аппаратной части и драйверов, обеспечивающих корректную работу аппаратной части комплекса.

Выбор конкретного ППО осуществлялся исходя из выбора базового элемента технологии, то есть ПЛИС на базе которой будет разрабатываться прототип БИС на основе БМК и необходимости интеграции ППО в ТИС предприятия.

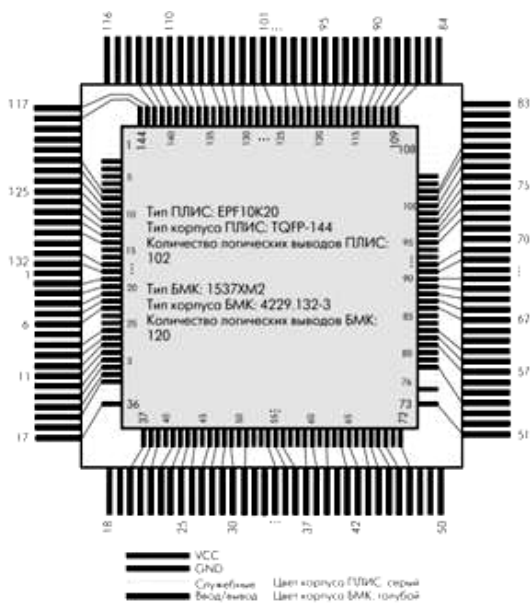


Рис. 9. Пример совмещения корпусов ПЛИС и БМК

Необходимо отметить, что после замены импортной ПЛИС для прототипирования на отечественный БМК, ввиду невозможности точного совмещения контактов ПЛИС и БМК, на слоях платы остаются печат-



Рис. 10. Состав аппаратно-программного комплекса

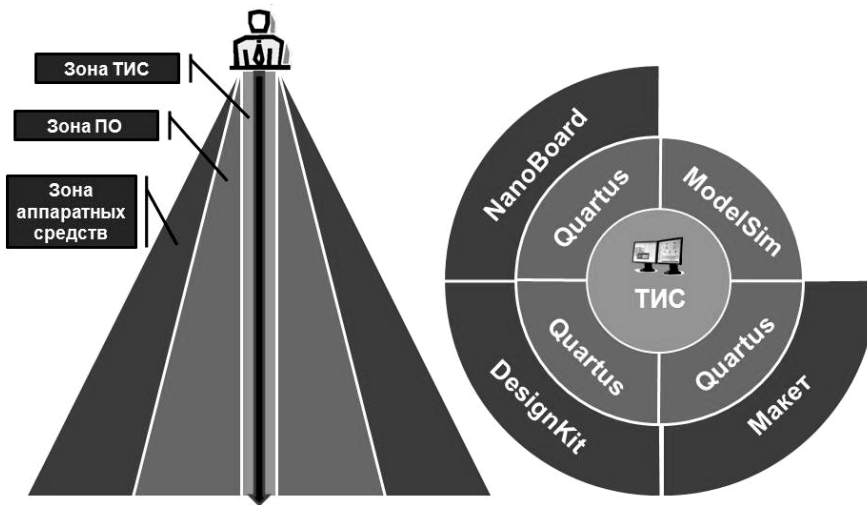


Рис. 11. Аппроксимация маршрута проектирования функционального узла

Аппаратно-программный комплекс ориентирован на технологию проектирования ПЛИС-БМК, и одновременно предусматривает различные варианты участия разработчика в разработке и моделировании БИС.

Состав аппаратно-программного комплекса представлен на рис. 10.

Аппроксимация маршрута проектирования представлена на рис. 11.

Маршрут проектирования разбит на три условных зоны:

- зона ТИС;
- зона ПО;
- зона аппаратных средств отладки.

Зона ТИС является системным интегратором информационно-логистических решений аппаратно-программного комплекса и существующей технологии проектирования.

Информационно-логистические решения зоны ТИС ориентированы на методологию проектирования с применением стандартных компонентов.

Ключевым САПР зоны ТИС является Altium Designer.

В зоне ПО:

– с использованием ППО Quartus и/или Altium Designer разрабатывается общая структурная схема и архитектура СБИС, при необходимости, выполняется разбиение ее на аппаратную и программные части;

– с использованием ППО Quartus и/или Altium Designer разрабатывается и проверяется высокоуровневая поведенческая модель СБИС;

– с использованием ППО Model Sim разрабатывается тестовый модуль, векторы тестовых воздействий для отладки высокоуровневой поведенческой модели, а также описание цифровых блоков на уровне RTL (синтезабельное логическое описание);

– с использованием ВПО Microsoft Office формируется проект карты заказа БИС на основе БМК.

ППО Quartus из зоны ПО обеспечивает интеграцию аппаратных средств проектирования и отладки в маршрут проектирования.

В зоне аппаратных средств проектирования обеспечивается запись и отладка электронной модели в ПЛИС с использованием отладочных плат прототипирования.

Таким образом, аппаратно-программный комплекс позволяет получать законченные логические модели функционирования ПЛИС для прототипирования. Следовательно, на момент получения макетного образца в распоряжении разработчика уже имеется логическая модель функционального узла, выполненного на базе ПЛИС.

Граничным условием представленного маршрута проектирования с использованием аппаратно-программного комплекса является корректное функционирование макетного образца в соответствии с заданным алгоритмом функционирования.

После отработки макетного образца, формируется проект карты заказа БИС на основе БМК из электронной модели ПЛИС.

Разработанная методология проектирования позволяет обеспечить выполнение требований по совершенствованию характеристик перспективной радиоэлектронной аппаратуры путем замены традиционной компоновки «радиоэлектронной начинки» системой на кристалле.

Методология разработки аппаратуры с применением ПЛИС обеспечивает сокращение проектно-технологического цикла, позволяет снизить затраты на проектирование и обеспечивает гибкость при проектировании и модификации системы. При этом весь проектно-технологический цикл выполняется разработчиком РЭА на одном рабочем месте с использованием стандартных САПР для проектирования изделий на базе ПЛИС.