

УДК 621.39

Устройства преобразования помехоустойчивых блочных кодов

Представлены результаты анализа и схемотехнические решения кодирующих и декодирующих устройств неразделимых помехоустойчивых блочных кодов.

**С. Н. Гончаров, А. П. Мартынов,
А. А. Коцеев, В. Н. Фомченко**

В процессе передачи информации по каналу связи возможно искажение отдельных элементов кода под действием внешних помех, вызывающее появление ошибок в кодовых комбинациях. Для обнаружения и исправления ошибок используется помехоустойчивое кодирование, которое выполняется за счет введения дополнительных информационных элементов в кодовые комбинации [1–3].

Помехоустойчивые коды разделяются на непрерывные и блочные.

При использовании непрерывных кодов дополнительные элементы размещаются в определенном порядке между информационными элементами, кодирование и декодирование имеют непрерывный характер.

При использовании блочных кодов передаваемая информационная последовательность разбивается на отдельные блоки, кодирование и декодирование выполняются в пределах каждой кодовой комбинации. Блочные коды бывают разделимыми и неразделимыми.

Разделимые блочные коды в зависимости от способа взаимного расположения информационных и дополнительных элементов в кодовой комбинации могут быть систематическими или несистематическими. Рассмотрим некоторые варианты простых неразделимых блочных кодов и способы их кодирования и декодирования, в частности, коды с повторением исходной информационной комбинации или ее элементов и коды с постоянным весом.

Коды с повторением элементов исходной комбинации целесообразно использовать в условиях воздействия разнесенных помех, а коды с повторением исходной комбинации в целом – в условиях воздействия сосредоточенных помех [4].

Схема формирователя кода с повторением исходной комбинации (кодирующего устройства) показана на рис. 1.

Формирователь кода построен на основе последовательно-параллельного сдвигающего регистра, количество разрядов которого равно количеству элементов n кодовой комбинации [5, 6].

Схема соответствующего декодирующего устройства (восстановителя исходного кода) показана на рис. 2.

Устройство построено на основе счетчика и сдвигающего регистра с параллельной выдачей информации, количество разрядов которого равно удвоенному количеству элементов n кодовой комбинации.

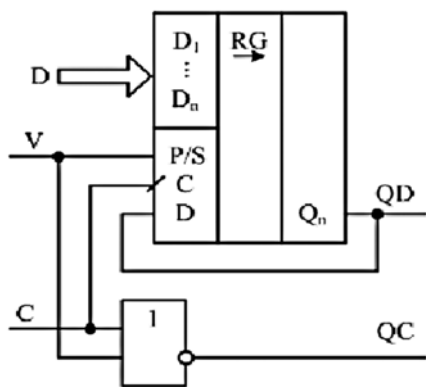


Рис. 1. Схема формирователя кода

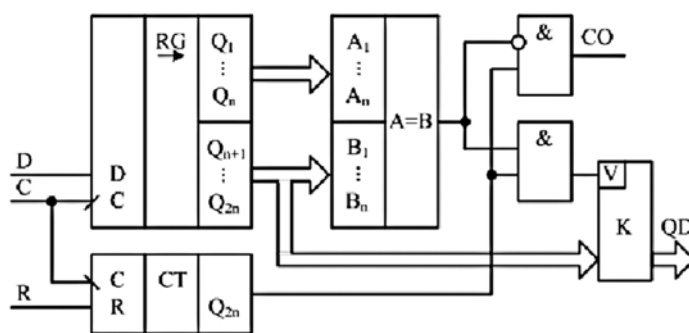
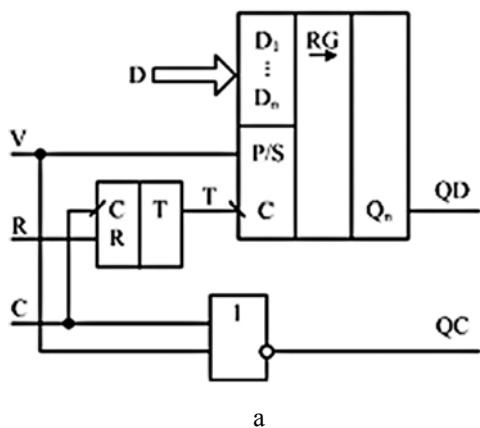


Рис. 2. Схема декодирующего устройства

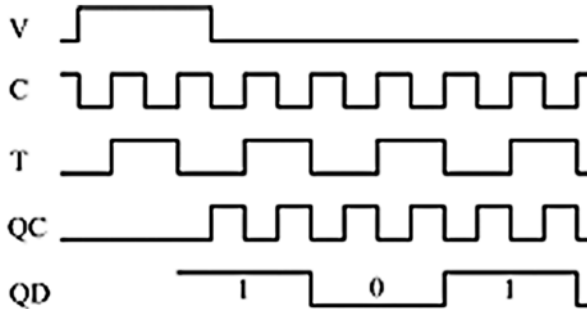
Формирователь кода с повторением элементов кодовой комбинации может быть построен в соответствии с рис. 3,а [7].

Данный формирователь отличается от представленного на рис. 1 отсутствием цепи обратной связи с выхода регистра на вход последовательной записи и наличием триггера, обеспечивающего сдвиг информации в регистре только каждым четным тактовым импульсом и формирование с каждым информационным элементом на выходе QD двух тактовых импульсов на выходе QC устройства. Таким образом, обеспечивается повторение информационных элементов исходной комбинации. Работа формирователя поясняется временными диаграммами сигналов в характерных точках схемы, показанными на рис. 3,б.

Схема соответствующего декодирующего устройства показана на рис. 4,а [8]. Устройство построено на основе *n*-разрядного регистра преобразования входной комбинации из последовательного кода в параллельный и двухразрядного регистра, необходимого для сравнительного анализа состояний элементов каждого разряда комбинации. Работа устройства поясняется временными диаграммами сигналов в характерных точках схемы, показанными на рис. 4,б, где Q1 и Q2 – соответствующие выходы двухразрядного регистра.



а



б

Рис. 3. Схема формирователя кода (а) и временные диаграммы сигналов (б)

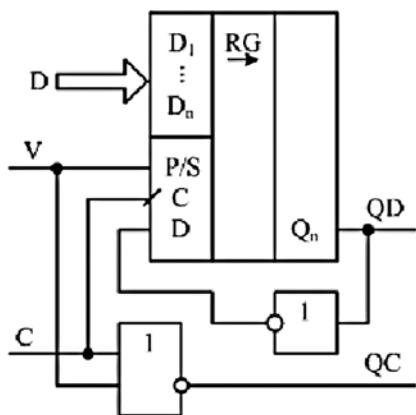


Рис. 5. Схема формирователя кода

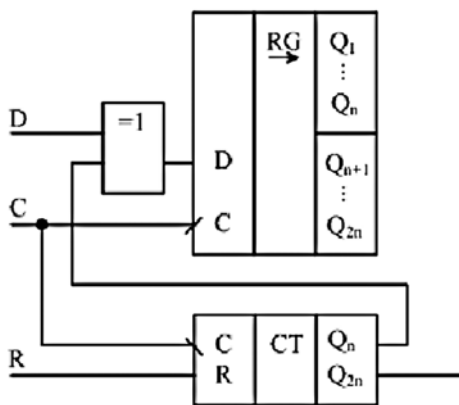


Рис. 6. Схема входной цепи декодирующего устройства

Схема формирователя кода с повторением и инверсией элементов кодовой комбинации показана на рис. 7. Данный формирователь отличается от представленного на рис. 3 установкой на выходе регистра элемента «исключающее ИЛИ», который управляется триггером и обеспечивает инвертирование всех четных выходных информационных элементов.

Декодирующее устройство в данном случае может быть построено в соответствии с рис. 4 после введения инверсии сигнала F. Работа устройства поясняется временными диаграммами сигналов в характерных точках схемы, показанными на рис. 8, где Q1 и Q2 – соответствующие выходы двухразрядного регистра [5, 8].

При формировании кода с повторением исходной комбинации передаваемая комбинация в зависимости от четного или нечетного числа единиц в ней может либо просто повторяться, либо повторяться в инвертированном виде. Благодаря внутренней связи между элементами кодовой комбинации обнаруживаемая ошибка будет иметь место только в том случае, если одновременно исказятся элементы в четном количестве разрядов исходной комбинации и элементы одноименных разрядов повторяемой комбинации.

В этом случае процедура обнаружения ошибок состоит из двух операций. Сначала суммируются единицы, содержащиеся в исходной комбинации. Если их окажется четное число, то элементы повторяемой комбинации принимаются в прямом виде. После этого обе зарегистрированные комбинации сравниваются поэлементно и при обнаружении хотя бы одного несовпадения вся последовательность элементов бракуется. Если же количество единиц исходной комбинации нечетное, то элементы повторяемой комбинации принимаются в инвертированном виде. Затем, как и в предыдущем случае, обе зарегистрированные комбинации сравниваются поэлементно. Наличие несовпадений указывает на то, что принятая комбинация искажена [8].

Данный код можно использовать и для исправления одиночных ошибок. Способ определения места искаженного элемента иллюстрируется табл. 1, где выделены элементы, принятые с искажением.

Схема формирователя кода с повторением исходной комбинации в прямом или инвертированном виде в зависимости от четности числа единиц показана на рис. 9.

Данный формирователь отличается от показанного на рис. 1 тем, что на выходе регистра введены схема анализа четности (САЧ) числа единиц в исходной комбинации на основе счетного триггера и управляемый инвертор на основе элемента «исключающее ИЛИ». При этом исходная комбинация передается на выход QD без инвертирования. Соответствующее декодирующее устройство с обнаружением ошибок может быть построено на основе устройства рис. 2 с установкой на входе схемы, показанной на рис. 10,а.

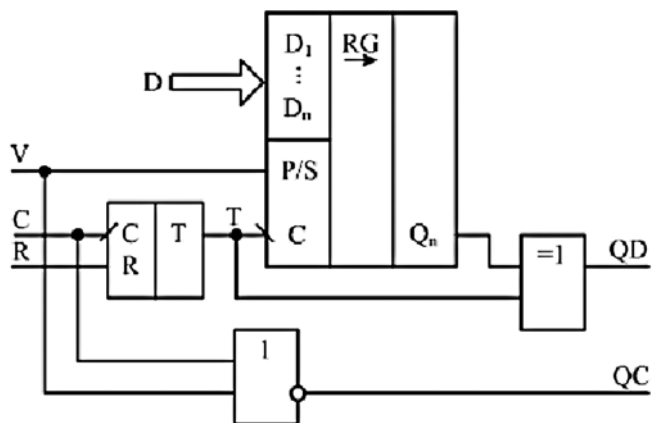


Рис. 7. Схема формирователя кода

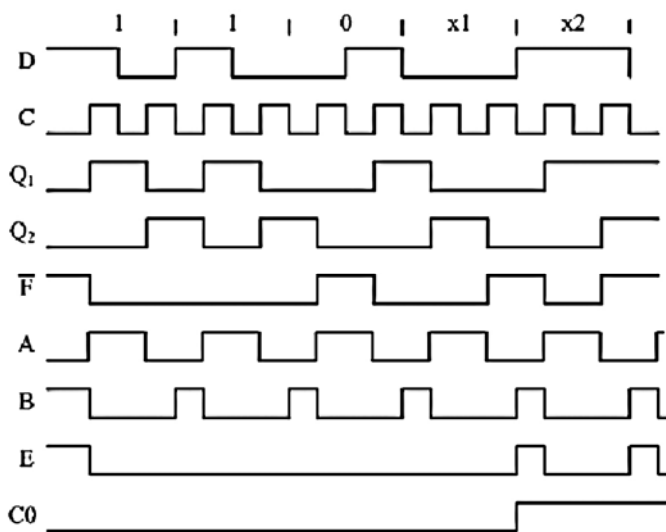


Рис. 8. Временные диаграммы сигналов

Таблица 1

Способ определения места ошибок

Случай:	а	б	в
Передано	10100 10100	10110 01001	01000 10111
Принято	11100 10100	10100 01001	01000 11111
Зарегистрировано	11100 01011	10100 01001	01000 00000
Сравнительный анализ принятых комбинаций	11100 + 01011	10100 + 01001	01000 + 00000
	10111	11101	01000

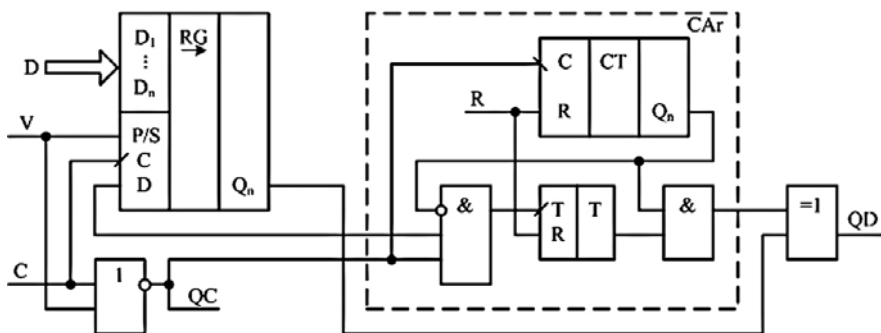
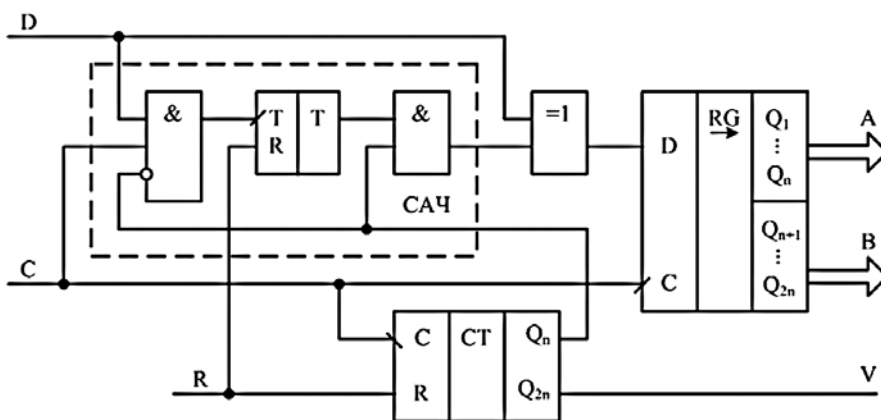
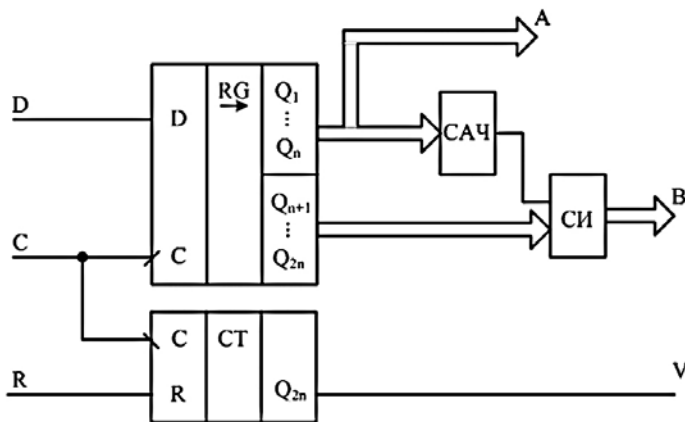


Рис. 9. Схема формирователя кода



а



б

Рис. 10. Схема входной цепи декодирующего устройства

Устройство отличается от представленного на рис. 2 установкой по входу последовательной записи регистра САЧ числа единиц в исходной комбинации на основе счетного триггера и управляемого инвертора на основе элемента «исключающее ИЛИ». Одновременно реализовано совмещение счетчиков САЧ и схемы рис. 2. Данное устройство работает аналогично формирователю кода, показанному на рис. 9.

В схеме рис. 10,а восстановление состояния второй комбинации при нечетном числе единиц исходной комбинации производится на входе регистра. Однако восстановление состояния возможно и на выходе регистра в соответствии со схемой рис. 10,б, где использована параллельная схема анализа нечетности (сумматор по модулю 2) и схема инвертирования СИ состояния второй комбинации, в которой задействованы n управляемых инверторов на основе элементов «исключающее ИЛИ».

Анализ табл. 1 с целью определения возможных способов построения декодирующего устройства с исправлением ошибок показывает, что при отсутствии ошибок можно передавать получателю любую из зарегистрированных комбинаций. При наличии ошибки в одной из двух принятых комбинаций можно передавать ее получателю с выхода схемы исправления ошибки или передавать вторую комбинацию, в которой ошибка отсутствует. Однако при этом необходимо учитывать, что для упрощения устройства целесообразно использовать только одну схему исправления ошибки на основе элементов «исключающее ИЛИ» (суммирования по модулю 2) [5].

При использовании схемы исправления ошибки второй комбинации необходимо:

- при отсутствии ошибки в обеих комбинациях передавать вторую комбинацию получателю с выхода регистра без инвертирования;
- при наличии ошибки в первой комбинации передавать ее получателю с выхода регистра в инвертированном виде;
- при наличии ошибки во второй комбинации передавать ее получателю с выхода схемы исправления ошибки.

В данном случае необходимо использовать достаточно сложный коммутатор и дешифраторы признаков искажения обеих комбинаций. При этом необходимо отметить, что выделение признака искажения второй комбинации, содержащего положительный сигнал в любом одном из разрядов, является достаточно сложной задачей.

При использовании схемы исправления ошибки первой комбинации необходимо:

- при отсутствии ошибки в обеих комбинациях и при наличии ошибки во второй комбинации передавать первую комбинацию получателю с выхода регистра без инвертирования;
- при наличии ошибки в первой комбинации передавать ее получателю с выхода схемы исправления ошибки.

В данном случае можно использовать более простой коммутатор и дешифратор признака искажения первой комбинации на основе мажоритарного элемента. Дешифратор признака искажения второй комбинации не требуется. Однако необходимо отметить, что до подачи признака искажения на вход схемы исправления ошибки необходимо обеспечить его инвертирование.

Декодирующее устройство со схемой исправления ошибки первой комбинации, соответствующее табл. 1, может быть построено путем подключения к выходам схемы рис. 10,а или б схемы рис. 11, где СС – схема сравнения принятых комбинаций, СИО – схема исправления ошибок, К – коммутатор [8].

Более широкие возможности для исправления ошибок создаются при использовании многократного повторения исходной комбинации в целом или ее элементов в каждом разряде. Количество передаваемых комбинаций (или элементов каждого разряда) m определяется максимальной кратностью t исправляемых ошибок и равно $2t + 1$. Выбор правильной информации на приемной стороне осуществляется по принципу большинства « $t + 1$ из $2t + 1$ ». Избыточность такого кода, определяемая отношением числа дополнительных элементов к общему числу элементов, равна $2t/2t + 1$ и стремится к 100 % при увеличении t .

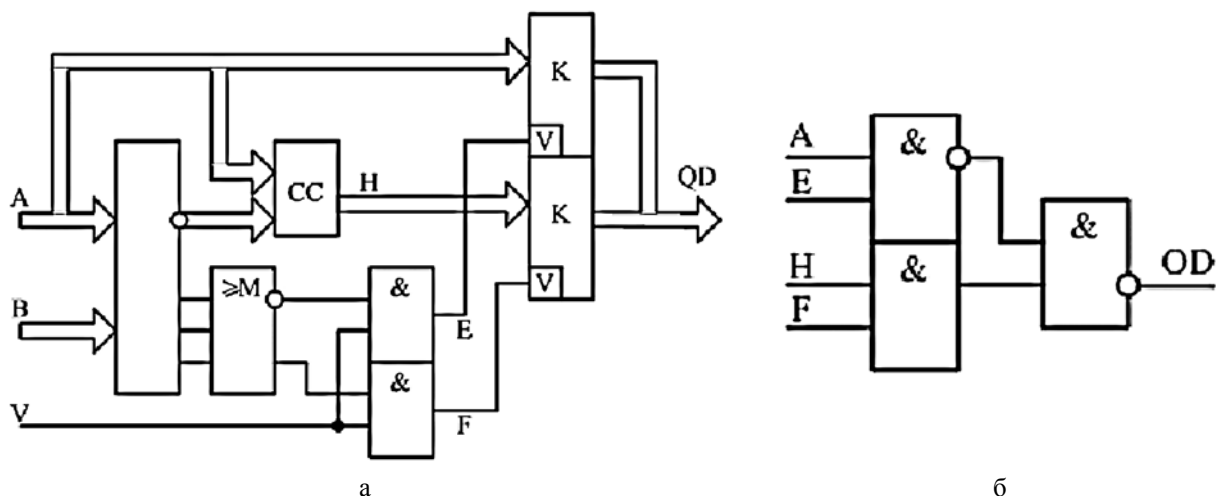


Рис. 11. Схемы декодирующего устройства (а) и исправления ошибок (б)

При двойном повторении исходной комбинации в целом или элементов каждого разряда выбор правильной информации на приемной стороне осуществляется по мажоритарному принципу «2 из 3». В этом случае исправляются однократные ошибки в любом из одноименных разрядов передаваемых комбинаций. Избыточность этого кода равна $2/3 = 67\%$.

Данные коды обеспечивают одновременное исправление ошибок заданной кратности во всех разрядах. Поэтому для повышения помехоустойчивости коды с повторением элементов исходной комбинации целесообразно использовать в условиях воздействия разнесенных помех, а коды с повторением исходной комбинации в целом – в условиях воздействия сосредоточенных помех. При этом уменьшается вероятность искажения элементов одноименных разрядов. Проверка правильности принятого сообщения гораздо проще реализуется при поразрядной последовательной передаче и сравнении элементов одноименных разрядов обеих комбинаций.

В качестве формирователя кода при повторении исходной комбинации в целом можно использовать схему рис. 1. Декодирующее устройство кода при двойном повторении исходной комбинации в целом показано на рис. 12.

Данная схема отличается от показанной на рис. 2 отсутствием формирования сигнала ошибки, поскольку она обеспечивает исправление ошибки, и использованием схемы выбора правильной информации (СВ) на основе n мажоритарных элементов, входы каждого из которых соединены с выходами одноименных разрядов принятых комбинаций. Выдача информации на выход QD разрешается счетчиком после получения всех разрядов трех кодовых комбинаций.

При использовании многократного повторения элементов каждого разряда исходной комбинации схема формирователя кода аналогична рис. 3 с учетом необходимости замены счетного триггера делителем частоты импульсов, обеспечивающим необходимое количество повторений элементов.

Схема декодирующего устройства кода при двойном повторении элементов исходной комбинации показана на рис. 13.

Данное устройство отличается от показанного на рис. 4 отсутствием формирования сигнала ошибки, использованием мажоритарного элемента для выбора правильной информации и введением делителя ДЧ частоты импульсов на 3. Выдача информации на выход QD через коммутатор К разрешается счетчиком после получения всех разрядов кодовых комбинаций.

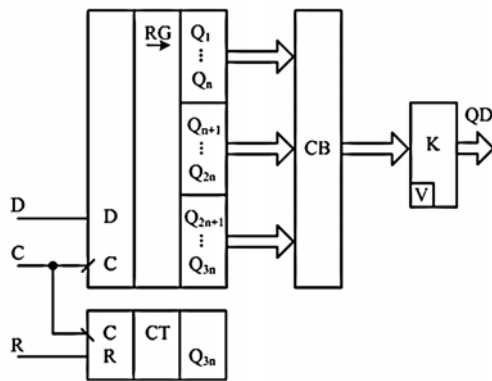


Рис. 12. Схема декодирующего устройства

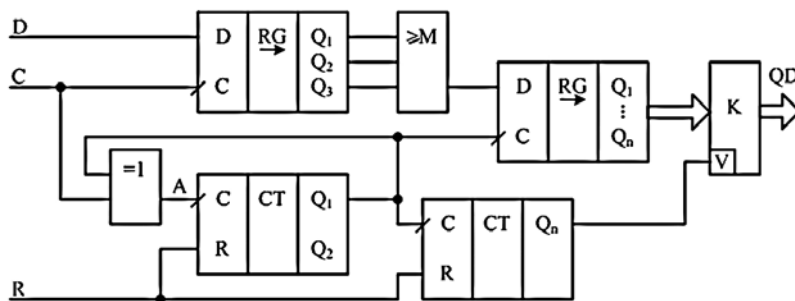


Рис. 13. Схема декодирующего устройства

Делитель частоты построен на основе двухразрядного счетчика и элемента «исключающее ИЛИ». Первый разряд делителя переключается по положительному фронту первого и второго тактовых импульсов, второй разряд – по положительному фронту второго импульса. После этого элемент «исключающее ИЛИ» переходит в режим инвертирования тактовых импульсов. Поэтому далее первый разряд делителя переключается по отрицательному фронту второго и третьего тактовых импульсов и вызывает переключение второго разряда – по отрицательному фронту третьего импульса. При этом делитель возвращается в исходное состояние. Далее процесс повторяется, обеспечивая нормальную работу устройства.

К сравнительно простым помехоустойчивым кодам относятся коды с постоянным весом. Число разрешенных комбинаций такого кода N_p определяется как число сочетаний из n элементов кода по w , где w – вес кода: $N_p = C_n^w = n!/w!(n-w)!$ [3, 5].

Число разрешенных комбинаций кода при разных значениях n и w приведено в табл. 2.

Из табл. 2 видно, что максимальное число разрешенных комбинаций кода при четном количестве разрядов n достигается при количестве единиц $w = n/2$. При нечетном количестве разрядов n максимальное число разрешенных комбинаций достигается при двух значениях количества единиц, ближайших к $w = n/2$.

Типичным примером кода с постоянным весом является пятиэлементный код, вес каждой разрешенной комбинации которого равен 2. Из общего числа комбинаций пятиэлементного кода 32 число разрешенных комбинаций составляет 10. Данный код с $n = 5$ и $w = 2$ применяется для поразрядного кодирования десятичных чисел от 0 до 9.

Таблица 2

Разрешенные комбинации кода с постоянным весом w и общим числом разрядов n

$w \backslash n$	4	5	6	7	8	9	10
1	4	5	6	7	8	9	10
2	6	10	15	21	28	36	45
3	4	10	20	35	56	84	120
4	1	5	15	35	70	126	210
5	–	1	6	21	56	126	252
6	–	–	1	7	28	84	210

Один из способов сопоставления десятичных цифр комбинациям кода называется 01247-кодом. При этом способе последовательным элементам комбинации сопоставляются веса 0, 1, 2, 4, 7, и соответствующая десятичная цифра равна сумме весов тех элементов комбинации, которые равны 1; единственным исключением является комбинация 4, 7, соответствующая цифре 0. Значения кода «2 из 5» для чисел от 0 до 9 приведены в табл. 3.

Таблица 3

Значения кода с постоянным весом «2 из 5» для чисел 0...9

Десятичное число	Код C_5^2	Десятичное число	Код C_5^2
	7 4 2 1 0		7 4 2 1 0
1	0 0 0 1 1	6	0 1 1 0 0
2	0 0 1 0 1	7	1 0 0 0 1
3	0 0 1 1 0	8	1 0 0 1 0
4	0 1 0 0 1	9	1 0 1 0 0
5	0 1 0 1 0	0	1 1 0 0 0

Необходимо отметить, что число разрешенных комбинаций пятиэлементного кода, равное 10, может быть реализовано также при весе каждой разрешенной комбинации, равном 3. Код «3 из 5» может быть сформирован путем инвертирования кода «2 из 5», его целесообразно использовать вместо кода «2 из 5», когда вероятность искажения элемента «1» меньше вероятности искажения элемента «0».

Код с постоянным весом обнаруживает все ошибки, кроме ошибок четной кратности типа одновременного смещения, когда одна из единиц переходит в нуль, а один из нулей – в единицу.

Ошибки при приеме комбинаций кода с весом w обнаруживаются посредством счетчика единиц, коэффициент счета которого равен w . Если по окончании приема комбинации счетчик не вернется в исходное положение, это означает, что принятая комбинация искажена.

Формирователь кода с постоянным весом может быть построен в соответствии с рис. 1. При этом обратную связь с выхода регистра на вход последовательной записи можно исключить. При необходимости по входам параллельной записи можно устанавливать преобразователь двоичного кода в код с постоянным весом. Преобразователь может быть построен на основе постоянного запоминающего устройства или на основе логических элементов по схеме «дешифратор–шифратор». Пример схемы формирователя кода «2 из 5» с преобразователем на основе логических элементов показан на рис. 14, где шифратор выполнен на логических элементах ИЛИ [8].

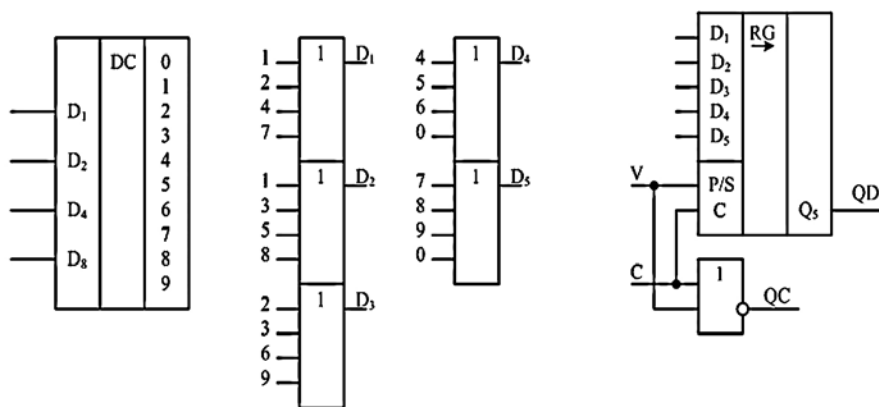


Рис. 14. Схема формирователя кода «2 из 5»

Декодирующее устройство кода «2 из 5», построенное аналогично рис. 2, показано на рис. 15. Для контроля числа единиц во входном коде использован трехразрядный сдвигающий регистр, формирующий сигнал логической единицы на выходе элемента «исключающее ИЛИ» только при отсутствии ошибок. Для контроля числа единиц может использоваться также двухразрядный счетчик импульсов с соответствующим дешифратором.

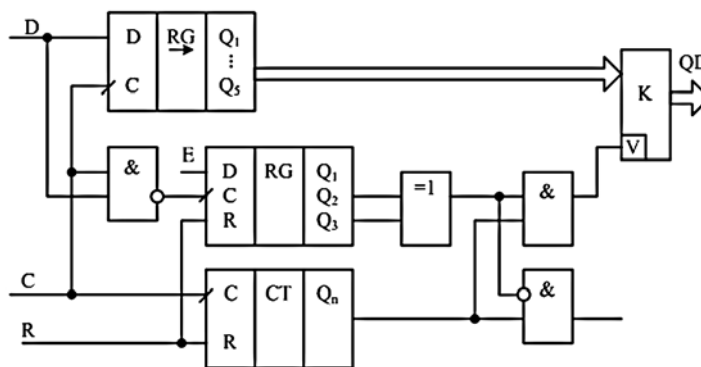


Рис. 15. Схема декодирующего устройства кода «2 из 5»

Результаты анализа характеристик рассмотренных вариантов неразделимых кодов приведены в табл. 4.

Таблица 4

Результаты анализа неразделенных блочных кодов

Вид кода с числом k информационных элементов	Обнаружение ошибок	Исправление ошибок	Число дополнит. элементов
Код с повторением исходной комбинации или ее элементов	Обнаруживаются все ошибки, за исключением одинакового искажения элементов одноименных разрядов обеих кодовых комбинаций	Нет	k

Код с повторением и инверсией исходной комбинации или ее элементов	Обнаруживаются все ошибки, за исключением разного искажения элементов одноименных разрядов обеих кодовых комбинаций, когда единица перейдет в нуль, а нуль – в единицу	Нет	k
Код с повторением и инверсией исходной комбинации при нечетном числе единиц	Обнаруживаются все ошибки, за исключением одновременного искажения элементов четного числа разрядов исходной комбинации и одноименных разрядов повторяемой комбинации	Исправляются однократные ошибки в любом из разрядов одной из комбинаций	k
Код с двойным повторением исходной комбинации или ее элементов	Обнаруживаются однократные и двукратные ошибки в любом из одноименных разрядов передаваемых комбинаций	Исправляются однократные ошибки в каждом разряде	$2k$
Коды с постоянным весом w и общим числом разрядов n	Обнаруживаются все ошибки, за исключением случаев, когда одна или несколько единиц переходят в нуль, а такое же число нулей – в единицу	Нет	$n - \lceil \log_2 C_n^w \rceil^*$

Примечание: $\lceil x \rceil$ – ближайшее целое число, большее x .

Список литературы

1. Шляпоберский В. И. Основы техники передачи дискретных сообщений. М.: Связь, 1973.
2. Ильин В. А. Телеуправление и телеизмерение: Учебное пособие для вузов. М.: Энергоиздат, 1982.
3. Основы теории информации и кодирования / И. В. Кузьмин, В. А. Кедрус. К.: Вища шк., 1986.
4. Потемкин И. С. Функциональные устройства цифровой автоматики. М.: Энергоатомиздат, 1988.
5. Шишкин Г. И., Гончаров С. Н. Функциональные устройства цифровых систем»: Монография / Под ред. А. П. Мартынова. Саров: ФГУП «РФЯЦ-ВНИИЭФ», 2011.
6. Гончаров С. Н., Мартынов А. П., Новиков А. В. и др. Обеспечение помехоустойчивости цифровых устройств: Учебно-методическое пособие. Саров: ФГУП «РФЯЦ-ВНИИЭФ», 2013.
7. Гончаров С. Н., Мартынов А. П., Новиков А. В. и др. Неразделимые помехоустойчивые коды. Часть 1 // Компоненты и технологии. 2012. № 9.
8. Гончаров С. Н., Мартынов А. П., Новиков А. В. и др. Неразделимые помехоустойчивые коды. Часть 2 // Там же. № 10.

Conversion Devices of the Noise-Resistant Block Codes

S. N. Goncharov, A. P. Martynov, A. A. Koshcheev, V. N. Fomchenko

Results of the analysis and circuitry decisions of encoding and coding devices for indivisible noise-resistant block codes are presented.