

# ПРИМЕНЕНИЕ ЯЗЫКА VERILOG-AMS ДЛЯ РАЗРАБОТКИ АНАЛОГО-ЦИФРОВЫХ МОДЕЛЕЙ ЭЛЕМЕНТОВ ЭЛЕКТРОННО-КОМПОНЕНТНОЙ БАЗЫ

*Д. Е. Боркивец, А. И. Егоров, А. Г. Кузякин*

ФГУП «РФЯЦ-ВНИИЭФ», г. Саров Нижегородской обл.

## Введение

Современные электронные устройства подразделяются на три больших класса: аналоговые (АУ), импульсные (ИУ) и цифровые (ЦУ).

К АУ относятся функциональные электронные узлы, предназначенные для выполнения операций над аналоговыми сигналами.

Аналоговые сигналы – это сигналы, существующие во всем рассматриваемом интервале времени и имеющие производную по времени во всех точках этого интервала за исключением, может быть, их конечного числа.

К ИУ относятся функциональные узлы, предназначенные для создания импульсных сигналов требуемой формы и выполнения над ними различных операций и преобразований (интегрирования, дифференцирования, задержки во времени и т. п.).

Импульсными сигналами принято называть электрические колебания, существующие в пределах конечного отрезка времени. При этом импульсные сигналы подразделяют на радиоимпульсы, имеющие высокочастотное синусоидальное заполнение, и видеоимпульсы, не имеющие такового.

У ИУ и АУ имеется много общего в части структурных и функциональных схем. Так как носителем информации и объектом обработки является временная зависимость напряжения или тока, то основная задача, которую решают как АУ, так и ИУ, состоит в преобразовании одной функции времени в другую.

К ЦУ относятся функциональные узлы, предназначенные для выполнения различных операций над цифровыми сигналами. С точки зрения обработки информации ЦУ выполняет преобразование кодового слова одной размерности в кодовое слово другой или такой же размерности. Таким образом, главное отличие ЦУ от АУ и ИУ состоит в том, что носителями информации являются двоичные или кодовые слова, а не функции времени [1].

В настоящее время электроника достигла высочайшего уровня, как по быстродействию, так и по функциональным возможностям. Современная жизнь немыслима без мощных, высокопроизводительных систем. Основной тенденцией в развитии радиоэлектронной и электронно-вычислительной техники является повышение скорости обработки информации. Усложнение структуры устройств и сокращение сро-

ков проектирования приводят к увеличению роли, занимаемой средствами моделирования, в общем цикле разработки устройства. Моделирование позволяет обоснованно выбирать схемотехнические и конструкторские решения, способствующие обеспечению целостности сигналов и питания.

## Цели и задачи

Целью данной работы является получение модели элемента электронно-компонентной базы (ЭКБ), применяемого в разработках подразделения.

Для этого поставлены задачи:

- изучения возможностей языка описания аппаратуры Verilog-AMS,
- разработки пробных моделей,
- разработка самого элемента ЭКБ.

В докладе рассмотрен язык описания аппаратуры Verilog-AMS. Рассмотрены возможности языка в части аналогового и аналого-цифрового моделирования, приведено описание базовой структуры модели. Рассмотрен маршрут разработки аналого-цифровой модели на примере интегральной микросхемы оперативной памяти 1620РУ6УНИ.

## Verilog-AMS

Verilog-AMS или Verilog Analog Mixed-Signal Simulation (Verilog Аналогово Смешанное Моделирование (аналоговых и цифровых схем)) – язык описания аппаратуры, создан компанией Accellera, на основе Verilog-A и Verilog-D с дополнительными возможностями (рис. 1).

Целью этого языка является работа с аналоговыми, аналогово-цифровыми системами и интегральными микросхемами, использование модулей на высоких уровнях поведенческого и структурного описания систем и её компонент.

Verilog-AMS HDL применяется для описания контактов, портов и цепей. При работе с АУ, используются законы сохранения обобщённой формы, такие как правила Кирхгофа и потенциала (KPL и KFL). Они определены в терминах количеств (например, напряжения и тока), связанных с поведением аналоговых схем.

Verilog-AMS HDL может также использоваться, чтобы описать цифровые системы (в IEEE 1364-1995 Verilog HDL) и смешанные (аналогово-цифровые)

системы, используя дискретные и непрерывные описания, как определено в LRM.

Verilog-AMS HDL расширяет особенности цифрового языка моделирования (IEEE 1364—1995 Verilog HDL), обеспечивая единственный объединённый язык, совместимый с аналоговой и цифровой семантикой [2].

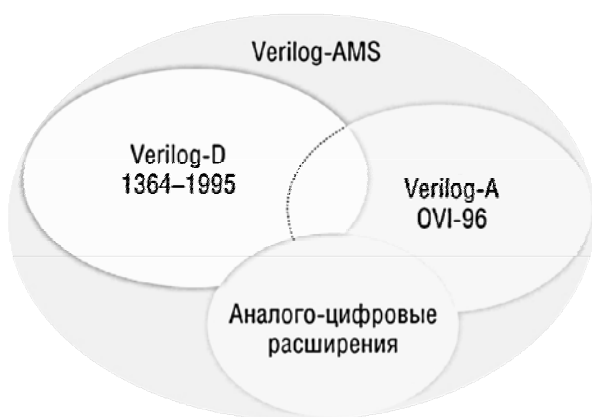


Рис. 1. Семейство языков Verilog

### Структура модели

Рассмотрим структуру на основе модели простейшего резистора. Простейший линейный резистор описывается выражением

$$u = r \times i,$$

где  $r$  – сопротивление резистора,  $u$  – падение напряжения на резисторе,  $i$  – ток, проходящий через резистор.

Verilog-AMS модель резистора приведена на листинге 1.

*Листинг 1.* Описание резистора на Verilog-AMS

```
01 // Простой резистор
02
03 `include "disciplines.vams"
04
05 module resistance (n1, n2);
06 inout n1, n2;
07 electrical n1,n2;
08
09 parameter real R=1.0 from [0:inf];
10
11 analog begin
12 V(n1,n2) <+ R*I(n1,n2);
13 end
14 endmodule
```

В структуре можно видеть следующие блоки самой модели:

– *блока модуля.* Он является базовым «строительным» блоком Verilog-AMS. Описание модуля начинается с ключевого слова `module` и заканчивается ключевым словом `endmodule`. После слова `module` должно следовать название модуля и список портов,

заканчивающийся точкой с запятой «`;`» (обозначает конец строки). В строке 5 листинга 1 объявляется модуль `resistance`;

– *блок описания портов.* Порты позволяют «подключиться» к модулю Verilog-AMS. Направление порта задаётся с помощью ключевых слов `inout` – вход-выход (`input` – вход или `output` – выход). Если порт объявлен как вход, то значение типа сигнала, связанного с данным портом, не может быть изменено внутри модуля. Если порт объявлен как выход, то значение типа сигнала, связанного с данным портом, не может быть изменено снаружи модуля. В противном случае (например, если подключить к выходу модуля идеальный источник напряжения или тока), моделирование завершится ошибкой. В листинге 1 строки 6 порты резистора были объявлены как вход-выходы, т.е. значение любого типа сигнала, связанного с портами резистора, может быть изменено как снаружи, так и внутри модуля. В строке 7 задаётся тип для сигналов, связанных с портами резистора. Все порты модуля обязательно должны иметь связанные с ними типы сигналов;

– *блок описания параметров.* В дальнейшем пользователь, при объявлении экземпляра модуля, сможет задать значение этого параметра. Кроме объявления имени и типа параметра модуля задаётся значение параметра по умолчанию: если параметр модуля не будет задан, симулятор будет использовать значение по умолчанию. Здесь же задаётся область определения параметра, чтобы предотвратить неправильное использование модуля. Так, если пользователь задаст параметр вне границ области определения, симулятор сообщит ему об ошибке. В строке 9 листинга 1 объявляется параметр модуля;

– *блок аналогового процесса.* Определителем аналогового модуля на языке Verilog-AMS является ключевое слово `analog`, которое задаёт аналоговый процесс. Последний является обособленной частью моделируемой системы, контролирующей протекающие сигналы. Обычно система состоит из многих процессов. Система представляется в виде независимых и взаимодействующих процессов. Ядро симулятора вычисляет новое состояние аналогового процесса в каждой временной точке (частота следования точек во времени задаётся при настройке точности симулятора). В связи с этим внутри аналогового процесса не поддерживаются такие конструкции языка Verilog, как задержки (`#`) и ожидание (`wait`). Однако внутри аналогового процесса можно задавать события (используя `@`), которые, впрочем, имеют несколько иной вид по сравнению с событиями в Verilog. В строке 11 листинга 1 объявляется аналоговый процесс. Для объединения высказываний языка в единый блок применяются ключевые слова `begin` и `end`, полностью аналогичные фигурным скобкам в языке C;

– *управляющая конструкция модуля.* В строке 12 листинга 1 содержится основная функция, задающая напряжение между портами `n1` и `n2` в зависимости от тока, протекающего между ними [3].

## Модель диода

Verilog-AMS в отличие от того же SPICE, который позволяет только менять параметры встроенных моделей, имеет богатые возможности математического аппарата. Большое разнообразие позволяет оперировать достаточно сложными формулами внутри конструкции модели. Это дает возможность разработки на основе математических формул, которой нет при работе со SPICE.

В качестве примера представлена модель диода, эквивалентная электрическая схема которого представлена на рис. 2 [4],

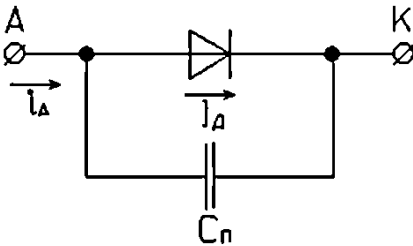


Рис. 2. Электрическая схема диода

$I_D = I_D(U_{AK})$  – генератор инжекционного тока  $p-n$  перехода;  $C_n$  – емкость  $p-n$  перехода.

В основу модели диода положено известное уравнение вольтамперной характеристики  $p-n$  перехода, описывающее его поведение при прямом и обратном смещениях и модифицированное для режима высокого уровня инжекции (модель Эберса и Молла). Инерционные свойства диода, связанные с накоплением заряда в базе диода и изменением пространственных зарядов в области  $p-n$  перехода, учитываются с помощью диффузионной и барьерной емкостей, являющимися нелинейными функциями приложенного напряжения.

Математическая модель диода описывается следующей системой математических выражений:

$$i_A = I_D + C_n \cdot U_{AK} \quad (1)$$

$$I_D = I \cdot [\exp(U_{AK}/m\phi) - 1] \quad (2)$$

$$C_n = C_d + C_b \quad (3)$$

$$C_d = I_D \cdot \tau / m\phi \quad (4)$$

$$C_b = \begin{cases} C / (1 - U_{AK}/\phi_Z)^n, & U_{AK} \leq \phi_Z \cdot (1 - 10^{-1/n}) \\ 10C, & U_{AK} > \phi_Z \cdot (1 - 10^{-1/n}) \end{cases} \quad (5)$$

$I$  – обратный ток насыщения  $p-n$  перехода;

$m\phi$  – температурный потенциал;

$C_d$  – диффузионная емкость  $p-n$  перехода;

$C_b$  – барьерная емкость  $p-n$  перехода;

$\tau$  – время жизни носителей в базе диода;

$C$  – барьерная емкость  $p-n$  перехода при нулевом смещении;

$\phi_Z$  – барьерный потенциал ( $\phi_Z = 0.7\text{В}$ );

$n$  – коэффициент аппроксимации;

$P$  – мощность дозы ионизирующего излучения.

На основании формул математической модели, язык позволил просто перенести все формулы в мо-

дель без каких-либо изменений (листинг 2). Также предоставляется возможность использования полинома в модели, что позволяет создавать модели, основываясь на вольтамперной характеристике (ВАХ), если рассчитать коэффициенты полинома сторонними программами.

Листинг 2. Описание диода на Verilog-AMS

```
01 `include "disciplines.h"
02 module diode(
03 inout electrical p,
04 inout electrical n
05 );
06 parameter real C=4e-12;
07 parameter real tau=8e-9;
08 parameter real mf=0.0482;
09 parameter real I1=2.7e-9;
10 parameter real N=0.333;
11 real Id, Cp, Cd, Cb;
12 analog begin
13 if (V(p,n)<=0.7*(1-pow(10,-1/N)))
14 Cb=C/pow((1-V(p,n)/0.7),N); // формула 5
15 else
16 Cb=10*C;
17 Id = I1*(limexp(V(p,n)/mf)-1); // формула 2
18 Cd = Id*tau/mf; // формула 4
19 Cp = Cd+Cb; // формула 3
20 I(p,n) <+ Id+Cp*V(p,n); // формула 1
21 end
22 endmodule
```

Как видно из листинга 2, модель имеет блок описания параметров, что позволяет модифицировать модель путем изменения нужных характеристик.

Диод был подключён к импульсному источнику питания с напряжением от -4 до 4 вольт. При входном питании ниже нуля диод закрыт и не пропускает ток через себя. Когда входное питание становится выше нуля, диод переходит в открытое состояние и пропускает ток. Результаты моделирования представлены на рис. 3.

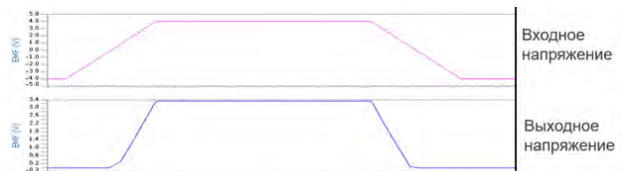


Рис. 3. Результаты моделирования диода

## Иерархическая структура

Язык Verilog-AMS предоставляет возможность проектирования в виде иерархической структуры (рис. 4). В проекте имеется некий набор моделей элементов, объединяемых между собой списками связей. Уровней иерархии может быть неограниченное количество при этом, списки связей могут объединяться между собой другими списками, до тех пор,

пока не ограничится одним самым главным списком связей, который описывает требуемое устройство [5].



Рис. 4. Пример иерархической структуры проекта

### Интегральная микросхема оперативной памяти 1620РУ6УНИ

Микросхема 1620РУ6УНИ – оперативное запоминающее устройство (ОЗУ) информационной ёмкостью 2048 (512 информационных слов по 4 бита в каждом). На рис. 5 приведено условно графическое изображение, в табл. 1 – назначение выводов.

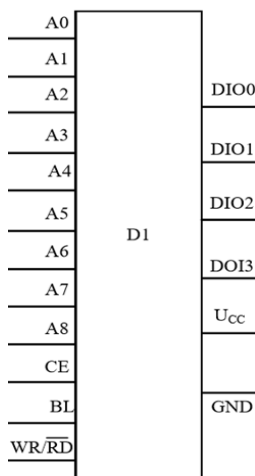


Рис. 5. Условно графическое изображение 1620РУ6УНИ

Таблица 1

#### Описание назначения выводов 1620РУ6УНИ

Вывод	Назначение
A0	Вход адреса
A1	Вход адреса
A2	Вход адреса
A3	Вход адреса
A4	Вход адреса
A5	Вход адреса
A6	Вход адреса
A7	Вход адреса
A8	Вход адреса
CE	Вход управления
BL	Вход управления
WR/RD	Вход управления (запись/чтение)
DIO0	Двунаправленный вывод данных
DIO1	Двунаправленный вывод данных
DIO2	Двунаправленный вывод данных
DIO3	Двунаправленный вывод данных
Ucc	Питание
gnd	Земля

Устройство имеет несколько режимов работы (хранение, запись, блокировка, считывание), установка режима зависит от входных сигналов на выводах управления BL, CE, WR/RD. В режиме хранения и блокировки двунаправленный вывод переходит в Z состояние, запись возможных поступающих данных не производится. В режиме записи двунаправленный вывод переходит в «Z» состояние, происходит запись поступающих данных. В режиме считывания данные читаются из памяти и формируется сигнал на двунаправленном выводе. В табл. 2 приведена таблица истинности переключения режимов.

Таблица 2

Таблица истинности

Режим работы	Управляющие входы			Вход / выход
	CE	WR/RD	BL	DIO0-DIO3
Хранение	«0»	X	X	Z
Запись	«1»	«1»	«1»	«0» или «1»
Блокировка	X	X	«0»	Z
Считывание	«1»	«0»	«1»	«L» или «H»

Примечания:

- 0 – логический ноль в режиме входа
- 1 – логическая единица в режиме входа
- L – логический ноль в режиме выхода
- H – логическая единица в режиме выхода
- X – произвольное логическое состояние («0» или «1»)
- Z – состояние высокого выходного сопротивления (состояние «выключено»)

### Описание модели

Verilog-AMS позволяет разрабатывать цифровые, аналоговые и смешанные модели. Разрабатываемая модель будет являться смешанной, функционал будет описан цифровой моделью, а характеристики – аналоговой. Такая организация позволит проводить моделирование и в цифровых схемах, и в аналоговых.

Оперативная память 1620РУ6УНИ является цифровым устройством, поэтому для создания модели можно воспользоваться подмножеством Verilog-D, которое позволяет легко описать модель на основе таблицы истинности (табл. 2). На рис. 6 приведены результаты моделирования цифровой модели.

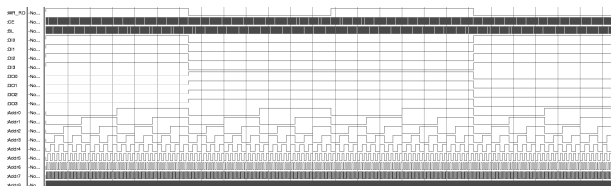


Рис. 6. Моделирование цифровой модели

Для проведения аналогового моделирования был разработан ряд моделей, описывающих выводы микросхемы:

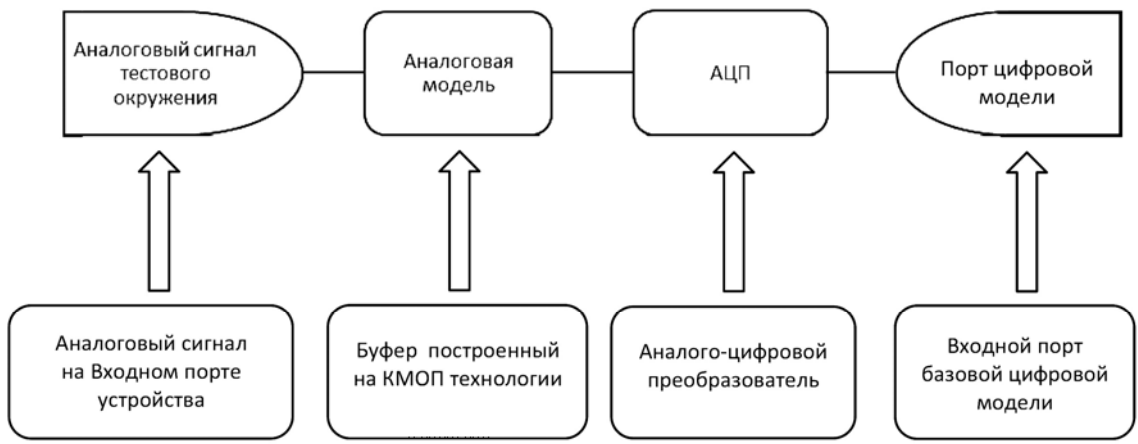


Рис. 7. Структура связей

- модель КМОП буфера Cmos\_BUF;
- модель КМОП двунаправленного буфера Cmos\_bi.

Для разработки КМОП буфера понадобились модели p и n транзисторов. Они были взяты из библиотеки стандартных моделей.

Схема связей аналоговых и цифровых моделей представлена на рис. 7. Входной аналоговый сигнал, «подформировывается» аналоговой моделью буфера до определенных значений уровня логического нуля или единицы, затем сигнал поступает на вход аналого-цифрового преобразователя, который формирует логическое состояние «0/1», передаваемое на вход цифровой модели. Структура связи не меняется в зависимости от направления передачи сигнала, за исключением замены АЦП на ЦАП в случае формирования выходного сигнала микросхемы.

При подключении аналоговых буферов к выводам цифровой части была получена смешанная модель устройства, которая может применяться в ходе аналогового моделирования, адекватно имитируя функциональное поведение и электрические характеристики. Структурная схема смешанной (аналого-цифровой) модели представлена на рис. 8.

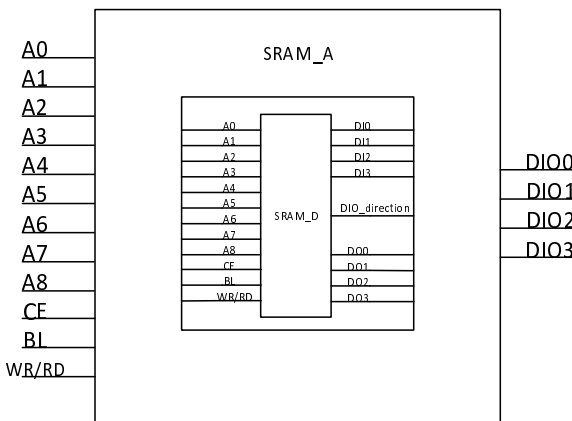
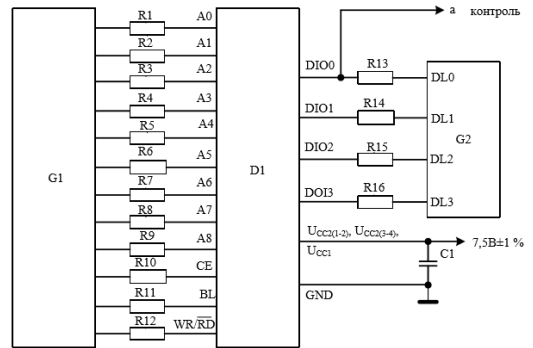


Рис. 8. Аналого-цифровой вид модели

## Результаты моделирования

Для проверки микросхемы разработано тестовое окружение, воспроизводящее включение микросхем под электрическую нагрузку при испытаниях, электрические режимы выдержки в процессе испытаний, способы контроля и параметры, представленные в технических условиях, а также временная диаграмма (рис. 9).



- G1 – генератор входных сигналов;
- G2 – генератор данных и нагрузки;
- D1 – проверяемая микросхема;
- R1-R16 – резистор 10 кОм±5 %
- C1 – конденсатор (0,05-015) мкФ

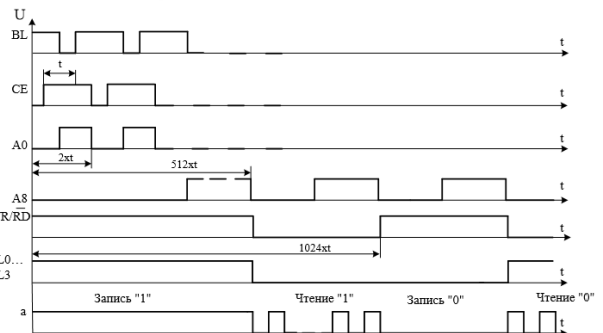


Рис. 9. Схема включения микросхемы для испытания и временная диаграмма

Тестовое окружение – это отдельный модуль, который включает в себя модель испытуемого устройства и формирует входные воздействия на него (рис. 10).

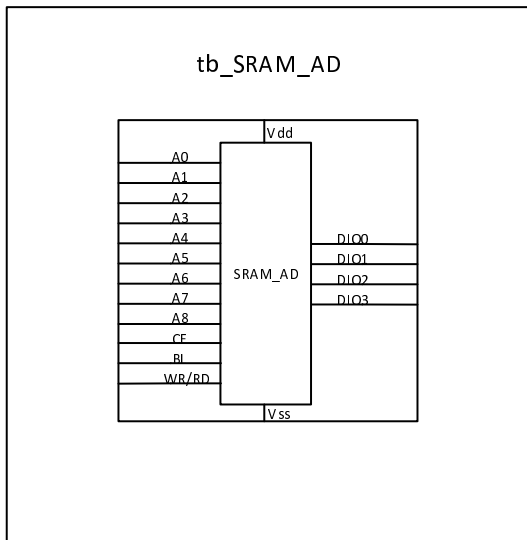


Рис. 10. Общее представление программы тестирования

Алгоритм испытания происходит в четыре этапа. Во время всех этапов испытания изменяются сигналы выводов CE и BL, отвечающие на режимы хранения и блокировки данных.

На первом этапе подаётся напряжение, соответствующее с логической единицей на двунаправленный вход данных устройства. Устанавливается сигнал управления, соответствующий режиму записи информации. Далее формируются все возможные воздействия на входы адреса. В результате происходит запись единицы во все ячейки памяти.

На втором этапе вывод управления переводится в режим чтения, после чего формируются все возможные воздействия на входы адреса. В результате происходит чтение единицы из всех ячеек памяти.

Второй и третий этап полностью эквивалентны предыдущим двум, за исключением того, что производится запись и чтение «логического нуля».

Выполнение моделирования испытания представлено на рис. 11.

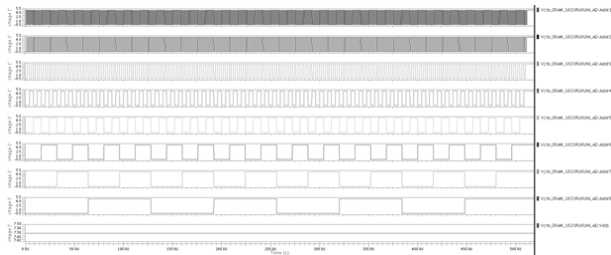


Рис. 11. Графическое представление моделирования испытания

## Заключение

В ходе выполнения работы достигнуты поставленные цели, а именно:

- изучены возможности языка описания аппаратуры Verilog-AMS для разработки моделей элементов ЭКБ;
- реализованы пробные модели для обработки языка;
- отработан маршрут разработки аналого-цифровой модели на примере интегральной микросхемы оперативной памяти 1620РУ6УНИ.

Verilog-AMS показал большие возможности цифрового, аналогового и цифро-аналогового моделирования, по результатам проделанной работы принято решение включить данный язык описания аппаратуры в разработки подразделения. Ожидается, что это приведёт к повышению эффективности работы в следующих проектах.

## Литература

1. Режим доступа: <http://miel.tusur.ru/> [Электронный ресурс].
2. Режим доступа: <https://verilogams.com/> [Электронный ресурс].
3. Режим доступа: <https://www.soel.ru> [Электронный ресурс].
4. Режим доступа: <http://www.designers-guide.org> [Электронный ресурс].
5. Режим доступа: <https://marsohod.org> [Электронный ресурс].