

КОНСТРУКТИВНО-ТЕХНОЛОГИЧЕСКИЕ РЕШЕНИЯ ПО СОЗДАНИЮ БАЗОВЫХ ЭЛЕМЕНТОВ СПЕЦСТОЙКИХ СКОРОСТНЫХ МИКРОСХЕМ НА СТРУКТУРАХ «КРЕМНИЙ НА ИЗОЛЯТОРЕ»

*Мокеев Александр Сергеевич (niiis@niiis.nnov.ru),
Шоболова Тамара Александровна, Рудаков Сергей Дмитриевич*

Филиал РФЯЦ-ВНИИЭФ «НИИИС им. Ю. Е. Седакова»,
г. Нижний Новгород

В статье представлены разработанные конструктивно-технологические решения по созданию базовых элементов микросхем, позволяющие повысить степень интеграции, быстродействие, надежность и спецстойкость комплементарных «металл-оксид-полупроводников» сверхбольших интегральных схем (КМОП СБИС) на структурах «кремний на изоляторе» (КНИ).

Ключевые слова: МОП-транзистор, двойной поликремниевый затвор, технология изготовления, приборно-технологическое моделирование.

CONSTRUCTIVE AND TECHNOLOGICAL SOLUTIONS FOR DEVELOPING BASE ELEMENTS OF SPECIAL RESISTANT HIGH-SPEED SILICON ON INSULATOR MICROCIRCUITS

*Mokeev Alexander Sergeevich (niiis@niiis.nnov.ru),
Shobolova Tamara Alexandrovna, Rudakov Sergei Dmitrievich*

Branch of RFNC-VNIIEF “NIIS named after Yu. Ye. Sedakov”,
Nizhniy Novgorod

The article presents the developed constructive and technological solutions for developing base elements, providing increase of CMOS SOI VLSI integration degree, speed, reliability and special-resistance.

Key words: MOSFET, double polysilicon gate, fabrication method, instrumentation and technological simulation.

В филиале РФЯЦ-ВНИИЭФ «НИИИС им. Ю. Е. Седакова» (филиал) выполняются НИОКР по разработке широкой номенклатуры спецстойких микросхем. Разработка данных микросхем обусловлена потребностью в замене импортных аналогов, используемых в существующих образцах радиоэлектронной аппаратуры (РЭА), разрабатываемой Госкорпорацией «Росатом», космической аппаратуре, а также для создания РЭА специального назначения нового поколения.

В соответствии с правилами проектирования СБИС на существующий в филиале технологический процесс КМОП КНИ с проектными нормами 0,35

мкм размер рабочей области кристалла не должен превышать 10×10 мм². Данное ограничение связано со снижением процента выхода годных кристаллов при увеличении их размеров из-за значительной дефектности приборного слоя исходной КНИ пластины (0.5 дефекта на см²), а также дефектов, привносимых на технологических операциях при изготовлении пластин с кристаллами СБИС. Для кристалла спецстойкого статического оперативного запоминающего устройства с размерами 10×10 мм² максимальная информационная емкость составляет 1 Мбит.

Существует ряд способов увеличения степени интеграции разрабатываемых в филиале микросхем:

- разработка многокристалльных модулей;
- перенос изготовления пластин с кристаллами на стороннюю фабрику с меньшими проектными нормами – режим «Foundry»;
- разработка принципиально новой технологии изготовления микросхем высокой степени интеграции.

Целью данной работы являлась разработка конструктивно-технологических решений по созданию базовых элементов спецстойких скоростных КМОП СБИС на структурах КНИ высокой степени интеграции с проектными нормами 0,35 мкм.

В ходе работы решены следующие задачи:

- разработка конструктивно-технологических решений изготовления базовых элементов спецстойких скоростных КМОП СБИС на КНИ высокой степени интеграции с субмикронными проектными нормами;
- разработка правил проектирования;
- разработка топологии тестового кристалла.

В качестве основных элементов СБИС, изготавливаемых по классической КМОП КНИ технологии с STI изоляцией, используются транзисторы А, Н, Т и R-типа (рис. 1). Поперечное сечение данных МОП-транзисторов приведено на рис. 2.

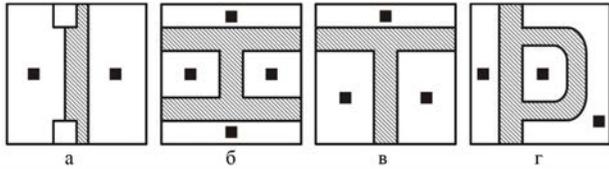


Рис. 1. Эскиз топологии основных транзисторов КМОП СБИС КНИ: а – полосковый МОП-транзистор А-типа, б – МОП-транзистор Н-типа, в – МОП-транзистор Т-типа, г – кольцевой МОП-транзистор R-типа

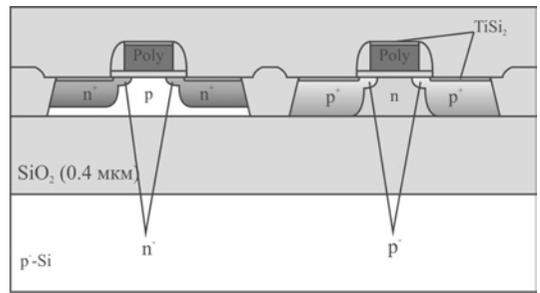


Рис. 2. Поперечное сечение МОП-транзисторов с STI изоляцией

Для повышения быстродействия, степени интеграции и уровня спецстойкости СБИС разработана специализированная конструкция КМОП КНИ структуры и технология ее изготовления, получен патент на изобретение [1]. Эта структура построена на так называемых бескраевых транзисторах (рис. 3). Активный поликремниевый затвор не пересекает приборную область, поэтому здесь отсутствуют повышенные электрические поля (рис. 4). Для вывода поликремниевого затвора за пределы приборной области применяется второй уровень поликремния.

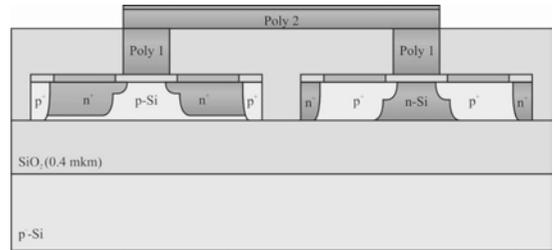


Рис. 3. Поперечное сечение бескраевых МОП-транзисторов

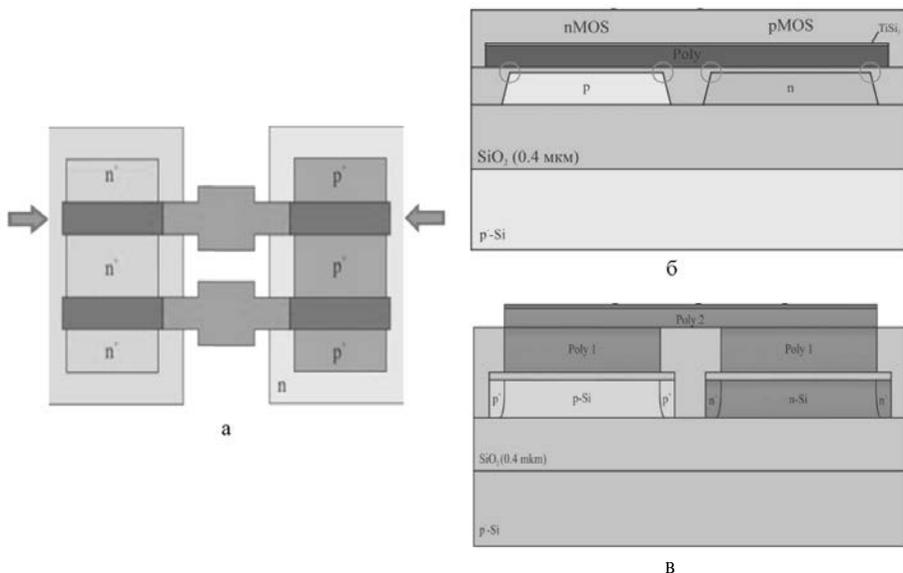


Рис. 4. Сравнение поперечных сечений двух КМОП КНИ структур: а – n-канальный и p-канальный МОП-транзисторы (вид сверху), б – МОП-транзисторы с STI изоляцией, в – бескраевые МОП-транзисторы

На рис. 4 окружностями отмечены области с повышенными электрическими полями.

Также данная структура характеризуется введением охранных областей, которые:

- подавляют влияние боковой изоляции на возникновение токов утечки при воздействии стационарного ионизирующего излучения;
- улучшают контакт к карману, повышая уровень стойкости транзисторов к воздействию импульсного ионизирующего излучения.

Топология бескраевых МОП-транзисторов представлена на рис. 5.

Основные преимущества бескраевых МОП-транзисторов:

- высокая степень интеграции (уменьшение площади топологии схем в 1,5–2 раза при сохранении токовых характеристик, рис. 6);
- независимость спецстойкости от боковой изоляции;
- высокое быстродействие (за счет уменьшения паразитных емкостей, рис. 7);
- повышенная точность проектирования на полосковых транзисторах;
- повышенная надежность из-за отсутствия высоких электрических полей.

За счет малой площади неактивной области затвора и большей толщины окисла под ней, значение паразитной емкости затвора транзистора I2C-типа примерно в 250–350 раз меньше, чем у транзистора H-типа. И, следовательно, следует ожидать значительного улучшения скоростных характеристик КМОП СБИС КНИ, спроектированных на бескраевых транзисторах.

Разработан эскизный технологический маршрут изготовления КМОП СБИС КНИ на бескраевых транзисторах с проектными нормами 0,35 мкм. В результате проведенного приборно-технологического моделирования (ПТМ), рис. 8, получены двумерные структуры транзисторов (рис. 8,а) и их электрофизические характеристики (рис. 8,б).

Для схемотехнического моделирования электрических схем на бескраевых транзисторах разработаны SPICE-модели элементов, входящие в состав правил проектирования. Экстракция SPICE-параметров проводилась для модели МОП «кремний на диэлектрике» (КНД) транзисторов BSIMSOI3. В качестве исходных данных использовались смоделированные в результате ПТМ вольт-амперные (ВАХ) и вольт-фарадные (ВФХ) характеристики. В результате проведенной экстракции были получены наборы DC и AC SPICE-параметров моделей МОП транзисторов А-, F-, ПС-, I2C-типа в диапазоне температур от минус 60 °С до 125 °С.

Полученные в результате экстракции наборы SPICE-параметров бескраевых МОП-транзисторов включены в состав правил проектирования и были использованы в схемотехническом моделировании кольцевых генераторов для расчета времени задержки на вентиль элементов «HE», «2И-HE», «2ИЛИ-HE» и сравнения полученных результатов с классической КМОП КНИ технологией с STI изоляцией. Электрическая схема кольцевого генератора и вентиля «2ИЛИ-HE» приведены на рис. 9. Результаты схемотехнического моделирования одного из кольцевых генераторов приведены в таблице.

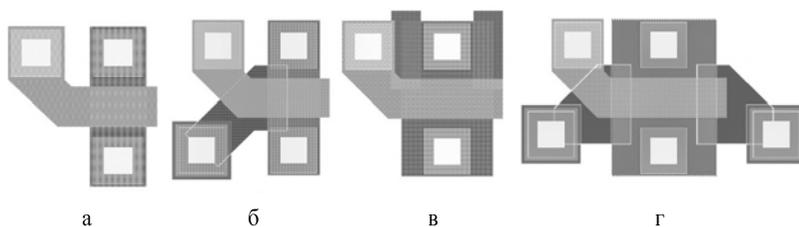


Рис. 5. Эскиз топологии бескраевых полосковых МОП-транзисторов: а – транзистор F-типа, б – транзистор ПС-типа, в – транзистор А-типа, г – транзистор I2C-типа

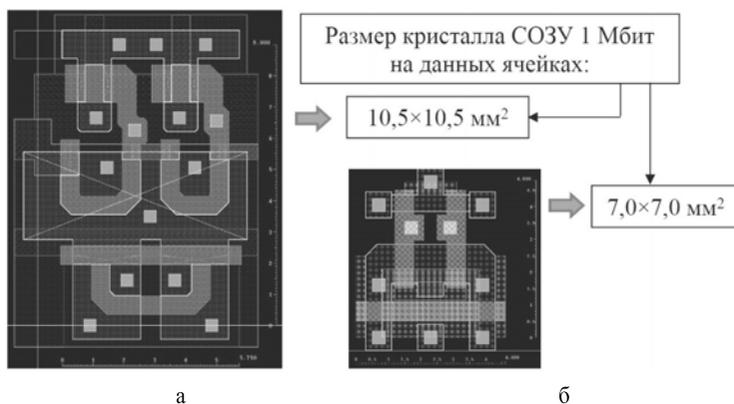


Рис. 6. Сравнение размеров ячеек памяти статического ОЗУ: а – классическая КМОП КНИ технология с STI изоляцией, б – КМОП КНИ технология на бескраевых транзисторах

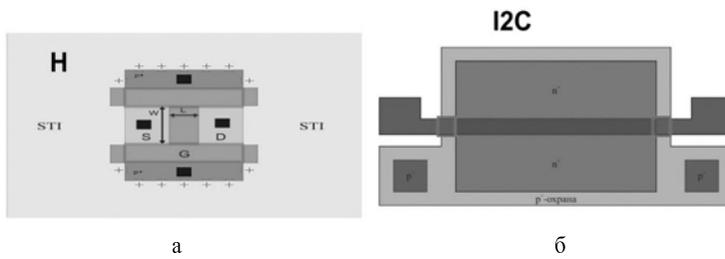


Рис. 7. Сравнение паразитных емкостей (отмечены прямоугольниками) транзисторов: а – классического МОП-транзистора Н-типа, б – бескраевого МОП-транзистора I2C-типа

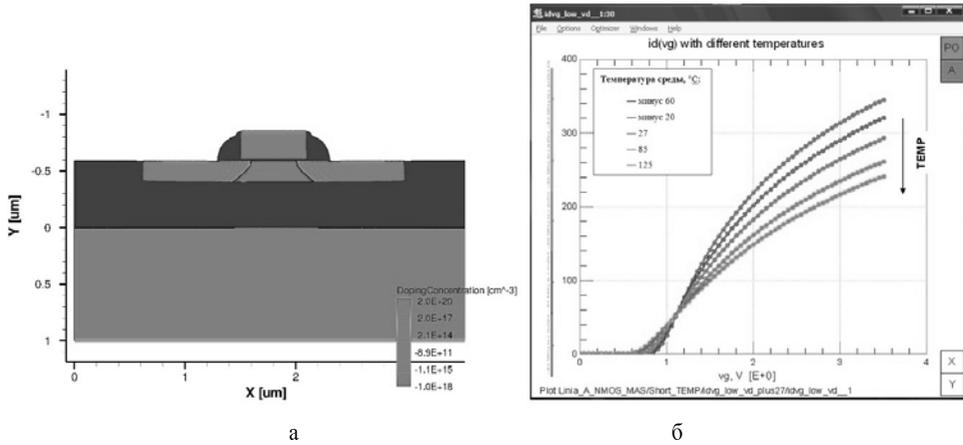


Рис. 8. Результаты ПТМ: а – структура n-канального МОП-транзистора А-типа, б – входные ВАХ n-канального МОП-транзистора А-типа при различных значениях температуры среды

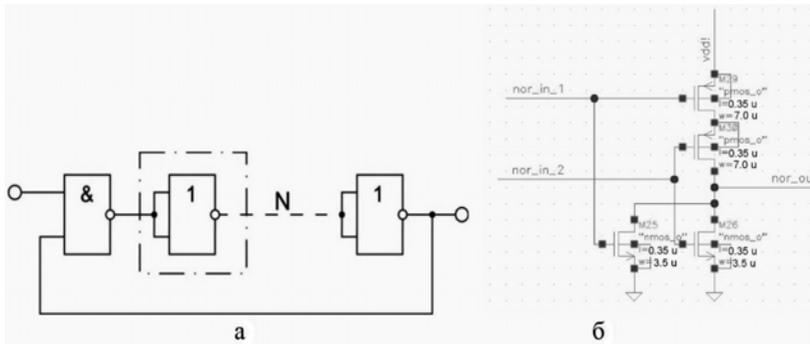


Рис. 9. Электрическая схема: а – кольцевого генератора на вентилях «2ИЛИ-НЕ», б – вентиль «2ИЛИ-НЕ»

Значения времени задержки на вентиль «2ИЛИ-НЕ» для различных типов МОП-транзисторов при минимальной и максимальной ширине канала и различных температурах

Типы транзисторов				«2ИЛИ-НЕ»								
				Минус 60 °С		27 °С		125 °С				
				время задержки T, нс	ΔT, %	время задержки T, нс	ΔT, %	время задержки T, нс	ΔT, %			
H→I1C		NMOS	PMOS	H	I1C							
	W _{max} , МКМ	1.75	3.5	0.337	0.135	-60	0.440	0.187	-57	0.558	0.254	-54
	W _{min} , МКМ	1.0	2.0	0.471	0.148	-69	0.616	0.204	-66	0.780	0.275	-65
H→I2C		NMOS	PMOS	H	I2C							
	W _{max} , МКМ	1.75	3.5	0.337	0.135	-60	0.440	0.187	-57	0.558	0.252	-55
		3.5	7.0	0.244	0.126	-48	0.318	0.175	-45	0.403	0.236	-41
W _{min} , МКМ	1.0	2.0	0.471	0.147	-69	0.616	0.204	-66	0.780	0.273	-65	
H→F ^H		NMOS	PMOS	H	F ^H							
	W _{max} , МКМ	1.75	3.5	0.337	0.119	-65	0.440	0.165	-62	0.558	0.222	-60
		3.5	7.0	0.244	0.112	-54	0.318	0.155	-51	0.403	0.209	-48
W _{min} , МКМ	1.0	2.0	0.471	0.131	-72	0.616	0.181	-70	0.780	0.243	-69	

Типы транзисторов				«2ИЛИ-НЕ»											
				Минус 60 °С				27 °С				125 °С			
				время задержки Т, нс		ΔТ, %		время задержки Т, нс		ΔТ, %		время задержки Т, нс		ΔТ, %	
R→I1C		NMOS	PMOS	R	I1C			R	I1C			R	I1C		
	W_{max} , МКМ	1.75	3.5	0.313	0.135	-57		0.409	0.187	-54		0.519	0.254	-51	
	W_{min} , МКМ	1.0	2.0	0.510	0.148	-71		0.667	0.204	-69		0.844	0.275	-67	
R→I2C		NMOS	PMOS	R	I2C			R	I2C			R	I2C		
	W_{max} , МКМ	1.75	3.5	0.313	0.135	-57		0.409	0.187	-54		0.519	0.252	-51	
	W_{min} , МКМ	1.0	2.0	0.510	0.147	-71		0.667	0.204	-69		0.844	0.273	-68	
R→F ^H		NMOS	PMOS	R	F ^H			R	F ^H			R	F ^H		
	W_{max} , МКМ	1.75	3.5	0.313	0.119	-62		0.409	0.165	-60		0.519	0.222	-57	
	W_{min} , МКМ	1.0	2.0	0.510	0.131	-74		0.667	0.181	-72		0.844	0.243	-71	

Результаты моделирования показали, что времена задержки на вентиль элементов НЕ, 2И-НЕ, 2ИЛИ-НЕ, спроектированных на основе разработанных бескраевых транзисторов, на 50–75 % меньше, чем времена задержки на вентили классической КМОП КНИ технологии. Таким образом, следует ожидать значительного улучшения скоростных характеристик КМОП СБИС КНИ, спроектированных на бескраевых транзисторах.

Правила проектирования являются основным рабочим документом, которым должны руководствоваться проектировщики при разработке топологии для выполнения определенных требований, обеспечивающих необходимое функционирование интегральных схем, изготавливаемых по заданной технологии с конкретными проектными нормами. Приведенные в разработанных правилах проектирования конструктивно-технологические ограничения (КТО) применяются при разработке топологии кристаллов СБИС с напряжением питания 3,3 В, предназначенных для изготовления в КМОП КНИ технологическом процессе с проектными нормами 0,35 мкм, двумя уровнями поликремния и четырьмя уровнями металлизации на основе структур «кремний на изоляторе». Для верификации топологии СБИС или тестовых кристаллов на соответствие нормам КТО, приведенным в правилах проектирования, и электрической схеме разработаны командные файлы DRC и LVS верификации. Разработанные правила проектирования использованы при проектировании топологии тестового кристалла ТКН-035 (рис. 10).

Перечень разработанных тестовых структур тестового кристалла ТКН-035:

- модельные тестовые структуры для экстракции SPICE-параметров моделей элементов (МОП-транзисторы F, A, I1C, I2C-типов, n- и p-карманные диоды);
- тестовые структуры контроля параметров рабочих пластин (тестовые структуры Ван дер Пау, емкостные структуры, структуры контроля утечек, МОП-транзисторы);

– тестовые структуры контроля спецификации (кольцевые генераторы на элементах НЕ, 2И-НЕ, 2ИЛИ-НЕ с транзисторами F, A, I1C, I2C-типов располагаются в первом внешнем контуре кристалла и предназначены для сборки в корпус).

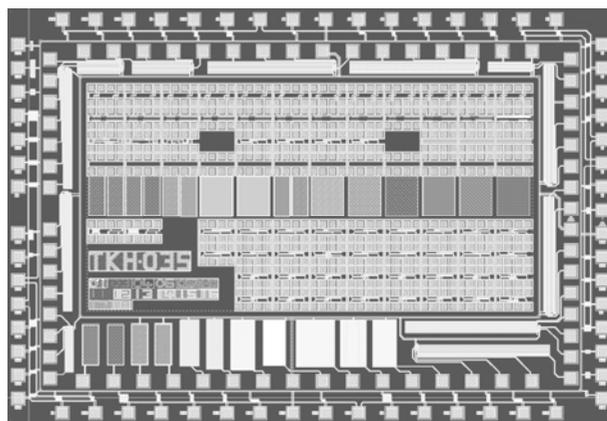


Рис. 10. Топология тестового кристалла ТКН-035

Результаты выполненной работы будут использованы при постановке КМОП КНИ технологии на бескраевых транзисторах на технологической линии филиала РФЯЦ-ВНИИЭФ «НИИИС им. Ю. Е. Седакова» для проектирования и производства специализированных скоростных КМОП СБИС КНИ высокой степени интеграции.

Список литературы

1. Пат. 2739861 РФ, МПК H01L 29/78, 21/20. Способ изготовления транзистора с независимым контактом к подложке / Шоболова Т. А., Мокеев А. С. // Бюллетень изобретений. 2020. № 1.
2. Шоболова Т. А., Мокеев А. С., Оболенский С. В., Рудаков С. Д., Шоболов Е. Л. Кремниевый металл-оксид-полупроводник транзистор с независимым контактом к карману и двухслойным поликремниевым затвором // Физика и техника полупроводников. 2021. Т. 55. Вып. 10. С. 916–921.